

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-044423

(43)Date of publication of application : 14.02.1995

(51)Int. Cl.

G06F 11/32

G06F 1/00

G06F 9/46

(21)Application number : 05-204686

(71)Applicant : SONY CORP

(22)Date of filing : 27.07.1993

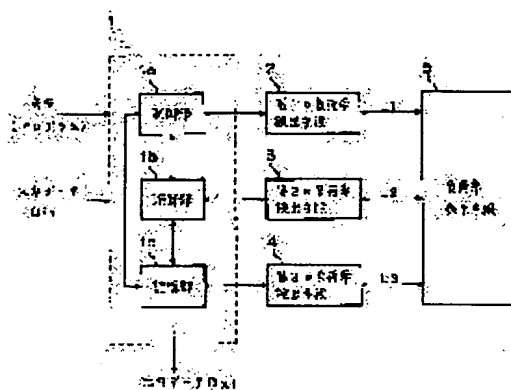
(72)Inventor : ITO KEIRO

### (54) LOAD FACTOR DISPLAY DEVICE

#### (57)Abstract:

PURPOSE: To realize a load factor display device on which a load factor of a CPU is displayed continuously in real time.

CONSTITUTION: A 1st load factor detection means 2 generates a 1st load factor signal L1 in response to an instruction indication number of times, a 2nd load factor detection means 3 generates a 2nd load factor signal L2 in response to number of arithmetic operation times, and a 3rd load factor detection means 4 generates a 3rd load factor signal L3 representing a ratio of an address space to all address spaces. Then a load factor display means 5 displays a load factor of a CPU by using any of 1st-3rd load factor signals L1-L3 or combination of them.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-44423

(43) 公開日 平成7年(1995)2月14日

| (51) Int.Cl. <sup>6</sup> | 識別記号    | 庁内整理番号    | F I | 技術表示箇所 |
|---------------------------|---------|-----------|-----|--------|
| G 0 6 F 11/32             |         | A 9290-5B |     |        |
| 1/00                      | 3 9 0 D |           |     |        |
| 9/46                      | 3 4 0 D | 8120-5B   |     |        |

審査請求 未請求 請求項の数1 F D (全 5 頁)

(21) 出願番号 特願平5-204686

(22) 出願日 平成5年(1993)7月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 伊藤 圭郎

長崎県諫早市津久葉町1883番43 ソニー長

崎株式会社内

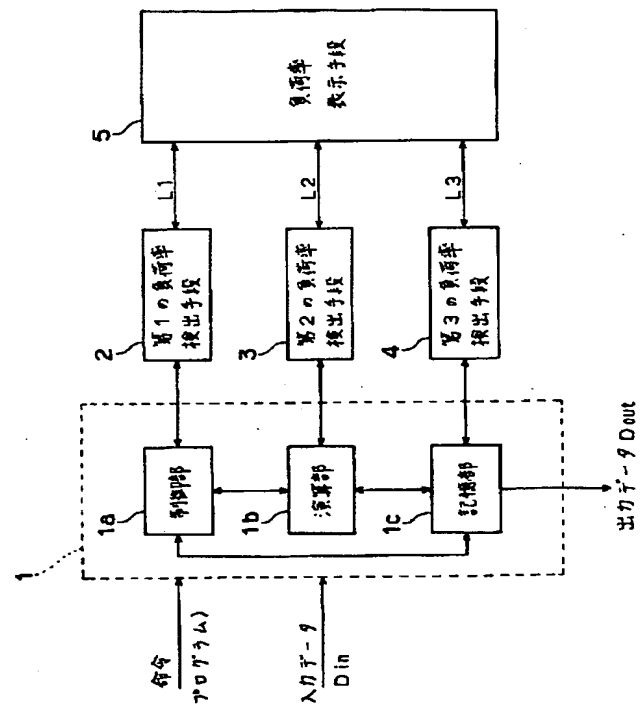
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 負荷率表示装置

(57) 【要約】

【目的】 CPUの負荷率をリアルタイムに連続表示できる負荷率表示装置を実現する。

【構成】 第1の負荷率検出手段2が命令指示回数に応じた第1の負荷率信号L1を発生し、第2の負荷率検出手段3が演算回数に応じた第2の負荷率信号L2を発生し、第3の負荷率検出手段4が全アドレス空間に占める当該アドレス空間の比率を表わす第3の負荷率信号L3を発生する。そして、負荷率表示手段5が前記第1～第3の負荷率信号L1～L3のいずれか、あるいはこれらを組み合わせてCPUの負荷率を表示する。



**【特許請求の範囲】**

**【請求項1】** 演算部と、演算結果やアドレス等を一時記憶する記憶部と、命令解読すると共に、解読結果に応じて前記演算部および記憶部を制御する制御部とを備える中央処理装置の負荷率を検出して表示する装置であって、

前記制御部で生成される命令指示回数を検出し、該命令指示回数に応じた第1の負荷率信号を発生する第1の負荷率検出手段と、

前記演算部で実行される演算回数を検出し、該演算回数に応じた第2の負荷率信号を発生する第2の負荷率検出手段と、

前記記憶部が管理するアドレス空間を検出し、全アドレス空間に占める当該アドレス空間の比率を表わす第3の負荷率信号を発生する第3の負荷率検出手段と、

前記第1～第3の負荷率信号のいずれか、あるいはこれら第1～第3の負荷率信号を組み合わせて前記中央処理装置の負荷率を表示する負荷率表示手段とを具備することを特徴とする負荷率表示装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、例えば、パーソナルコンピュータやエンジニアリングワークステーション等に搭載されるCPUの動作負荷をリアルタイムに表示する負荷率表示装置に関する。

**【0002】**

**【従来の技術】** 周知のように、パーソナルコンピュータやエンジニアリングワークステーション等に搭載されるCPUは、算術論理演算部（ALU）と、各種演算結果等を一時記憶するアキュムレータや、プログラムカウンタあるいはアドレスカウンタ等から形成される記憶部と、命令解読制御部とから構成されており、その処理速度は主に処理ビット長と動作クロック周波数とに依存する。

**【0003】** 一方、このCPUによって入出力管理される周辺回路を含むコンピュータ全体の性能は、「MIPS」あるいは「MFLOPS」と呼ばれる指標で表現される。「MIPS」とは、Million Instruction Per Secondの略であり、1秒間に何百万回の演算を実行できるかを表す単位である。また、「MFLOPS」とは、Million Floating-point Operation Per Secondの略であり、1秒間に浮動小数点演算を何百万回の演算を実行できるかを表す単位である。

**【0004】** したがって、演算処理中におけるコンピュータのCPU負荷率をリアルタイムに把握するには、上述した「MIPS」あるいは「MFLOPS」で表現される最大負荷の内、何割の負荷が稼働しているかを表示すれば良い。オペレーションシステム（OS）側がCPUの現状負荷率を検査する検査コマンドを備える場合には、その検査コマンドを入力することによってCPUの

負荷率を把握することができる。

**【0005】**

**【発明が解決しようとする課題】** しかしながら、オペレーションシステム（OS）側が上述した検査コマンドを備えていない場合には、負荷率を測定するプログラムを作成し、演算処理中に当該プログラムを割り込み実行させる。ところが、演算処理中にプログラムを割り込み実行させると、一旦、他の処理がホルト状態になるから、正確な負荷率とはならず、しかもディスプレイ装置側には処理中の結果が表示されてしまい、リアルタイムな負荷率表示を行うことができないという問題がある。また、上記検査コマンドに基づいてCPU負荷率を求めるには、その都度コマンド入力操作しなければならず、リアルタイムに負荷率を把握するためには、当該コマンドを入力し続けなければならず、現実的でない。そこで、本発明は、上述した事情に鑑みてなされたもので、CPUの負荷率をリアルタイムに連続表示することができる負荷率表示装置を提供することを目的としている。

**【0006】**

**【課題を解決するための手段】** 上記目的を達成するため本発明による負荷率表示装置は、演算部と、演算結果やアドレス等を一時記憶する記憶部と、命令解読すると共に、解読結果に応じて前記演算部および記憶部を制御する制御部とを備える中央処理装置の負荷率を検出して表示する装置であって、前記制御部で生成される命令指示回数を検出し、該命令指示回数に応じた第1の負荷率信号を発生する第1の負荷率検出手段と、前記演算部で実行される演算回数を検出し、該演算回数に応じた第2の負荷率信号を発生する第2の負荷率検出手段と、前記記憶部が管理するアドレス空間を検出し、全アドレス空間に占める当該アドレス空間の比率を表わす第3の負荷率信号を発生する第3の負荷率検出手段と、前記第1～第3の負荷率信号のいずれか、あるいはこれら第1～第3の負荷率信号を組み合わせて前記中央処理装置の負荷率を表示する負荷率表示手段とを具備することを特徴としている。

**【0007】**

**【作用】** 本発明では、第1の負荷率検出手段が命令指示回数に応じた第1の負荷率信号を発生し、第2の負荷率検出手段が演算回数に応じた第2の負荷率信号を発生し、第3の負荷率検出手段が全アドレス空間に占める当該アドレス空間の比率を表わす第3の負荷率信号を発生する。そして、負荷率表示手段が前記第1～第3の負荷率信号のいずれか、あるいはこれら第1～第3の負荷率信号を組み合わせて中央処理装置の負荷率を表示する。したがって、中央処理装置の処理動作に干渉することなく、当該中央処理装置の負荷率をリアルタイムに連続表示することが可能になる。

**【0008】**

**【実施例】** 以下、本発明に係る実施例について図面を参

照して説明する。図1は、本発明の実施例である負荷率表示装置の概略構成を示すブロック図である。この図において、1はCPUであり、外部から供給されるプログラムに基づいて入力データDinに所定の演算処理を施し、これを出力データDoutとして出力する。このCPU1は、前述したように、制御部1a、演算部1bおよび記憶部1cとから構成される。

【0009】制御部1aは、外部から供給されるプログラムを解釈して演算部1bおよび記憶部1cを制御する。演算部1bは、この制御部1aから供給される演算制御信号に応じて入力データDinに算術論理演算を施す。記憶部1cは、演算結果等を一時記憶するアキュムレータや、プログラムカウンタあるいはアドレスカウンタ等から形成されており、制御部1aから供給されるメモリ制御信号に応じてアドレッシングすると共に、演算部1bから出力される演算結果を一時記憶する。

【0010】2は第1の負荷率検出手段である。第1の負荷率検出手段2は、制御部1aの動作をモニタし、1秒間当りに生成される命令指示回数をカウントして第1の負荷率信号L1を発生する。この第1の負荷率信号L1は、前述した「MIPS」に対応する信号となる。3は第2の負荷率検出手段であり、演算部1bにおいて1秒間当りに行われる浮動小数点演算回数を検出し、検出結果を第2の負荷率信号L2を発生する。なお、第2の負荷率信号L2は、前述した「MFLOPS」に対応する。

【0011】4は第3の負荷率検出手段である。この手段4は、記憶部1cのアドレスカウンタが管理するアドレス空間を検出すると共に、全アドレス空間に占める現在の管理アドレス空間の比率を表わす第3の負荷率信号L3を発生する。すなわち、第3の負荷率検出手段4は、CPU1が管理するアドレス空間の空き具合で記憶容量の負荷率を表現するものである。5は負荷率表示手段であり、上述した第1～第3の負荷率信号L1～L3のいずれかを選択して表示したり、あるいは信号L1～L3を組合わせてCPU1の総合的な負荷率を表示するものである。こうした表示態様については後述する。

【0012】このような構成によれば、第1～第3の負荷率検出手段2～4がCPU1の処理に干渉することなく、各種観点から見た当該CPU1の負荷率をリアルタイムで連続的に検出するから、負荷率表示手段5がCPU1の負荷率をリアルタイムに連続表示することができる訳である。

【0013】次に、図2は、上述した構成による負荷率表示装置を適用したパーソナルコンピュータの一例を示す外観図である。この図において、10はCPU1や、その他メモリ等の周辺装置から構成されるコンピュータ本体、11はこの本体10に接続され、各種表示データが画面表示されるCRTディスプレイである。12は本体10に配設される電源スイッチ、13は後述する負荷

レベルメータ14をオンオフするスイッチである。

【0014】負荷レベルメータ14は、上述した負荷率表示装置の表示を担う部分であって、緑色発光するLED14aと黄色発光するLED14bと赤色発光するLED14cとを一列に配列したものである。このような負荷レベルメータ14を備える負荷率表示装置は、次のようにしてCPU1の負荷率を当該レベルメータ14にレベル表示する。

【0015】①第1の負荷率信号L1に基づいてレベル表示する場合

この場合、例えば、CPU1の最大処理能力が「10MIPS」であると、予めこれに相当する第1の負荷率信号L1のレベル値を「負荷率100%」として定義しておく。そして、1秒間当りに生成される命令指示回数に応じて第1の負荷率検出手段2から出力される第1の負荷率信号L1を、上記「負荷率100%」に相当する信号レベルとの比率に従って負荷レベルメータ14を点灯駆動してレベル表示する。

【0016】②第2の負荷率信号L2に基づいてレベル表示する場合

この場合、例えば、CPU1の最大処理能力が「10MFLOPS」であると、予めこれに相当する第2の負荷率信号L2のレベル値を「負荷率100%」として定義しておく。そして、1秒間当りに行われる浮動小数点演算回数に応じて第2の負荷率検出手段3から出力される第2の負荷率信号L2を、上記「負荷率100%」に相当する信号レベルとの比率に従って負荷レベルメータ14を点灯駆動してレベル表示する。

【0017】③第3の負荷率信号L3に基づいてレベル表示する場合

この場合、例えば、CPU1が管理する全アドレス空間を「10MByte」とであると、予めこれに相当する第3の負荷率信号L3のレベル値を「負荷率100%」として定義しておく。そして、この全アドレス空間に占める現在の管理アドレス空間の比率を表わす第3の負荷率信号L3に従って負荷レベルメータ14を点灯駆動してレベル表示する。

【0018】④総合的な負荷率をレベル表示する場合

上述した①～③項のレベル表示形態を組合わせてCPU1の総合的な負荷率をレベル表示する場合には、各観点から見た負荷率の加算平均値を算出し、この平均値に応じてレベル表示する。例えば、現在、CPU1の状態が上記①～③項の観点で見た時、「5MIPS」、「5MFLOPS」、「5MByte」であったとすると、各々の負荷率の平均値は「50%」となる。この結果、総合的な負荷率は「50%」になり、これに応じてレベル表示される。

【0019】このように、上述した実施例によれば、第1～第3の負荷率検出手段2～4がCPU1の処理動作に干渉することなく、各種観点から見た当該CPU1の

負荷率をリアルタイムで連続的に検出し、この検出結果に応じて負荷率表示手段5がCPU1の負荷率をリアルタイムに負荷レベルメータ14へレベル表示するようになっている。したがって、CPU1において起動されるOSの種類に依存することなく負荷率を表示することが可能になる。なお、上述した実施例では、1つの負荷レベルメータ14に①～④項に示す態様でレベル表示するようにしたが、これに限定されることなく、例えば、各表示態様に対応する個別のレベルメータを装備しても良い。

【0020】また、コンピュータ本体10に負荷率表示手段5の制御の下に画面表示制御するディスプレイコントローラを設け、当該コントローラによってCRTディスプレイ11に負荷率をアナログレベル表示したり、デジタル表示することも可能である。また、この場合、CPU1単体の負荷率だけでなく、周辺回路の動作状態をも表示するようにしても良い。

【0021】

【発明の効果】以上説明したように、本発明によれば、第1の負荷率検出手段が命令指示回数に応じた第1の負荷率信号を発生し、第2の負荷率検出手段が演算回数に

応じた第2の負荷率信号を発生し、第3の負荷率検出手段が全アドレス空間に占める当該アドレス空間の比率を表わす第3の負荷率信号を発生する。そして、負荷率表示手段が前記第1～第3の負荷率信号のいずれか、あるいはこれら第1～第3の負荷率信号を組み合わせて中央処理装置の負荷率を表示するので、中央処理装置の負荷率をリアルタイムに連続表示することができる。

【図面の簡単な説明】

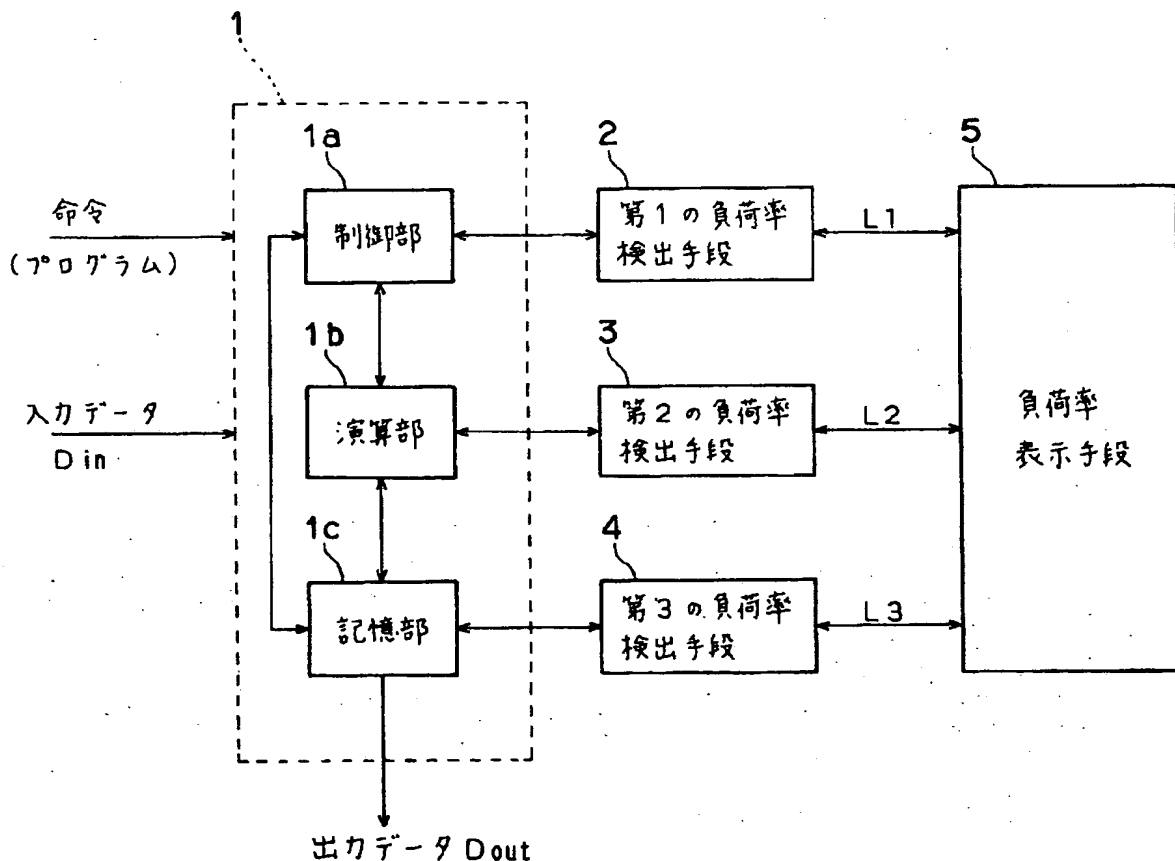
【図1】本発明に係る負荷率表示装置の一実施例の概略構成を示すブロック図である。

【図2】同実施例を適用したパーソナルコンピュータの一例を示す外観図である。

【符号の説明】

- 1…CPU（中央処理装置）
- 1a…制御部
- 1b…演算部
- 1c…記憶部
- 2…第1の負荷率検出手段
- 3…第2の負荷率検出手段
- 4…第3の負荷率検出手段
- 5…負荷率表示手段

【図1】



【図2】

